

(54) MULTIPLE-CHIP PACKAGE

(11) 62-122258 (A) (43) 3.6.1987 (19) JP

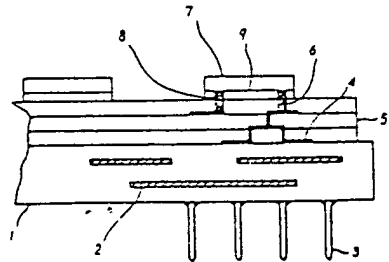
(21) Appl. No. 60-261483 (22) 22.11.1985

(71) NEC CORP (72) SHOJI NAKAKITA(1)

(51) Int. Cl. H01L23/52, H05K3/46

**PURPOSE:** To make it possible to perform highly reliable, high-density packaging, by directly connecting a ceramic multilayer substrate and an integrated circuit such as an IC or an LSI with a polyimide insulating layer and a vertical wiring.

**CONSTITUTION:** A ceramic multilayer substrate 1 is a multilayer circuit substrate, which includes a power source system pattern 2 comprising tungsten. Input/output pins 3 comprising a kovar material and the like are attached with silver solder to the lower surface. A polyimide insulating layer 5, in which a signal system pattern 4 is included, is formed on the upper surface as a multilayer form. The pattern 4 is selectively plated with gold, and formed in the insulating layer 5 through necessary via-holes in the multilayer shape. At the uppermost part of the insulating layer 5, a vertical wiring 6, which is connected to a pattern 4, is formed. Vertical wirings 8 are formed for a plurality of IC chips 7 so that the wirings 8 are connected to the wiring 6. A polyimide insulating layer 9 is formed beneath the IC chip 7 and contacted with the insulating layer 5. The insulating layer 5 and 9 are completely cured. The wirings 6 and 8 are bonded by thermal compression of gold-gold. Local pressure is not applied as shown in TAB connections. Since the contact is made with the surface of the insulating layer 9, there is no deformation or breakdown.



## ⑫ 公開特許公報(A)

昭62-122258

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月3日

H 01 L 23/52  
H 05 K 3/466732-5F  
7342-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 マルチチップパッケージ

⑯ 特 願 昭60-261483

⑰ 出 願 昭60(1985)11月22日

⑱ 発 明 者 中 北 昭 二 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 木 村 光 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 芦 田 坦 外2名

## 明 細 書

## 1. 発明の名称

マルチチップパッケージ

## 2. 特許請求の範囲

1. セラミック基板と、該基板下面に接続する入出力ピンと、前記基板上面に内部形成された多層回路配線を有する第1のポリイミド絶縁層と、該第1のポリイミド絶縁層の最上部に形成した第1の垂直配線と、前記第1のポリイミド絶縁層および第1の垂直配線にそれぞれ接合した第2のポリイミド絶縁層および第2の垂直配線を有する複数の集積回路とを含むことを特徴とするマルチチップパッケージ。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はコンピュータ装置あるいは電子交換装置等において用いられるICもしくはLSI等集積

回路の実装に関し、特にマルチチップパッケージの構造に関する。

(従来の技術)

従来、この種のマルチチップパッケージではポリイミド絶縁を有するセラミック基板上にICを実装接続する構造としてワイヤボンディングもしくはTAB ( Tape Automatic Bonding ) を利用する方法がある ( 例えば「高性能実装のための銅/ポリイミド材料システム ( COPPER/ POLYIMIDE MATERIALS SYSTEM FOR HIGH PERFORMANCE <sup>AG</sup> PACKING ) 」0569-5503/84/0000-0073. 1984 IEEE )。更には、ハンダ付け接続する構造がある ( 例えば「高性能半導体実装のような薄膜モジュール ( The Thin-Film Module as a High-Performance Semiconductor Package ) 」IBM J.RES. DEVELOP. VOL 26 63 MAY 1982. )。

(発明が解決しようとする問題点)

上述した従来のワイヤボンディングもしくはTAB接続構造では、ICもしくはLSIチップの外形寸法より外側へリード端子を出して接続するた

め、接合効率が低下しかつ熱応荷もしくは超応荷を利用するため表面のポリイミド絶縁を変形破壊し、信頼性を低下するという欠点がある。またはんだ付け接続構造では、接続パッドもしくは接続パンプの大きさを $50\mu$ 以下にはできない。このため高密度実装が不可能となる欠点がある。

#### 〔発明の目的〕

本発明の目的は、セラミック多層基板とICもしくはLSI等の集積回路とをポリイミド絶縁層および垂直配線によって直接接続することにより、高信頼性、高密度実装を可能にするマルチチップパッケージを提供することにある。

#### 〔問題点を解決するための手段〕

本発明によるマルチチップパッケージは、セラミック多層基板と、該基板下面に接続する入出力ピンと、前記基板上面に内部形成された多層回路配線を有する第1のポリイミド絶縁層と、該第1のポリイミド絶縁層の最上部に形成した第1の垂直配線と、前記第1のポリイミド絶縁層および第1の垂直配線にそれぞれ接合した第2のポリイミ

ドチップ7に形成された垂直配線8と、ポリイミド絶縁層5に接合しているICチップ7に形成されたポリイミド絶縁層9がある。

ここでICチップ7に形成された垂直配線8は材質が金からなり大きさは $20\sim30\mu$ 口である。またポリイミド絶縁層9は接合する前はポリイミド樹脂の脱水開環反応の中間段階（反キューア状態）になっている。同様にセラミック多層基板1側の垂直配線6も材質は金で大きさは $20\sim30\mu$ 口であり、またポリイミド絶縁層5の最上部は接合する前の状態で反キューアになっている。

ここでICチップ7側のポリイミド絶縁層9および垂直配線8とセラミック多層基板1側のポリイミド絶縁層5および垂直配線6は圧力が $2\text{kg}/\text{cm}^2$ 、温度が $400^\circ\text{C}$ 、時間が1時間の $\text{N}_2$ 雰囲気中で接合される。ポリイミド絶縁層5および9はそれぞれ完全にキューアされ、かつ垂直配線6および8は金-金熱圧着接合される。ここで金-金熱圧着されるわけであるが、ワイヤーボンディングやTAB接続の様に局部的に圧力がかからず、ICチップ7

の絶縁層および第2の垂直配線を有する複数の集積回路とを有している。

#### 〔実施例〕

次に本発明の実施例について図面を参照して説明する。

図は本発明によるマルチチップパッケージの一実施例の構造を示した断面図である。

セラミック多層基板1は内部にタングステンWもしくはモリブデンMoからなる電源系パターン2を含むアルミナグリーンシート製の多層回路基板であり、この多層基板1の下面にコバー材等からなる入出力ピン3が強ロウ付けされている。多層基板1の上面には信号系パターン4が内蔵されたポリイミド絶縁層5が多層化されている。ここでパターン4はパターン幅 $10\sim20\mu$ で選択的に金メッキされ、ポリイミド絶縁層5に必要なグリーフホールを介して多層化されている。このポリイミド絶縁層5の最上部にはパターン4に接続する垂直配線6が形成されている。

そしてこの垂直配線6に結合する様に複数の

のポリイミド絶縁層9の面で当るため絶縁層の変形や破壊は無い。

#### 〔発明の効果〕

以上説明したように、本発明はセラミック多層基板上のポリイミド絶縁および垂直配線と、ICチップ上のポリイミド絶縁および垂直配線とを直接接合することにより、 $50\mu$ 以下の微少接続を可能にし、実装密度を上げることができると同時に、高信頼性のマルチチップパッケージを形成できる効果がある。

#### 4. 図面の簡単な説明

図は本発明によるマルチチップパッケージの一実施例の構造を示した断面図である。

1…セラミック多層基板、2…電源系パターン、3…入出力ピン、4…信号系パターン、5、9…ポリイミド絶縁層、6、8…垂直配線、7…ICチップ。

代理人 (7783) 弁理士 池田 憲保

